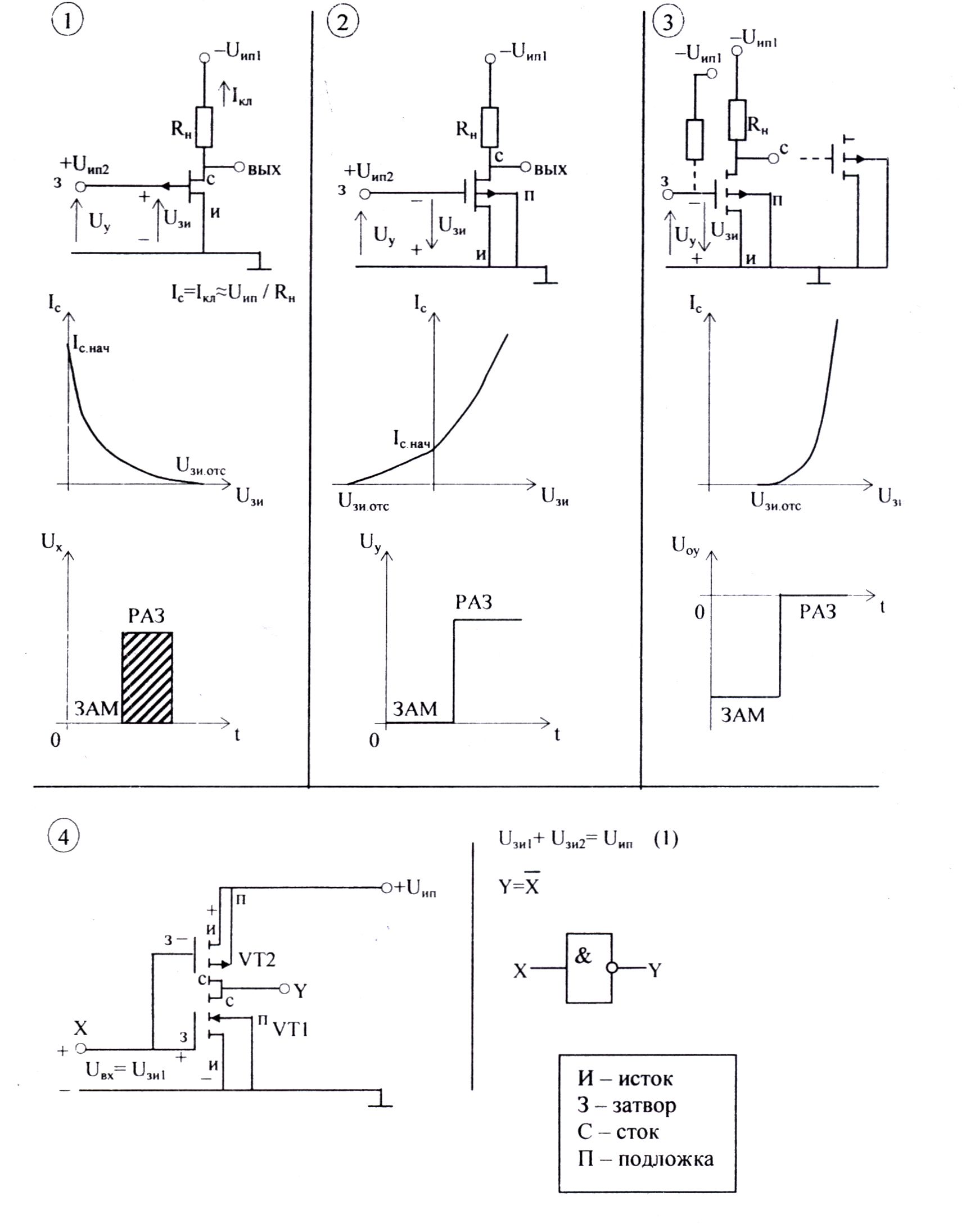
**14. Логические ключи на полевых транзисторах**

****

На рис. 1 ключ на полевом транзисторе с управляющем p-n переходом.

На рис. 2 ключ на МОП транзисторе с встроенным каналом «p» - типа.

На рис. 3 ключ на МОП транзисторе с индуцированным каналом «n» - типа.

В схемах 1, 2, 3 коммутируемая цепь: «» - «сопротивление нагрузки » - «сток» - «исток» - «общая шина».

Во всех трех схемах управления ключом происходит по цепи затвор – исток.

– управляющее напряжение.

Во всех трех схемах ключ замкнут, напряжение сток – исток близко к нулю.

большой

Ключ разомкнут, ток стока и полевой транзистор можно мысленно исключить из схемы.

На рис. 1, 2, 3 приведены также проходные характеристики полевых транзисторов и полярности управляющего движения для замкнутого и разомкнутого состояния ключа.

при начальный ток стока

напряжение отсечки полевого транзистора

Из схемы 1 видно, что замыкать ключ можно нулевым напряжением , при этом как следует из проходной характеристики через ключ протечет большой ток .

Размыкать ключ рис. 1 нужно большим положительным напряжением

Следовательно, ключ рис. 1 нужно использовать для источника питания «» и «», что не экономично.

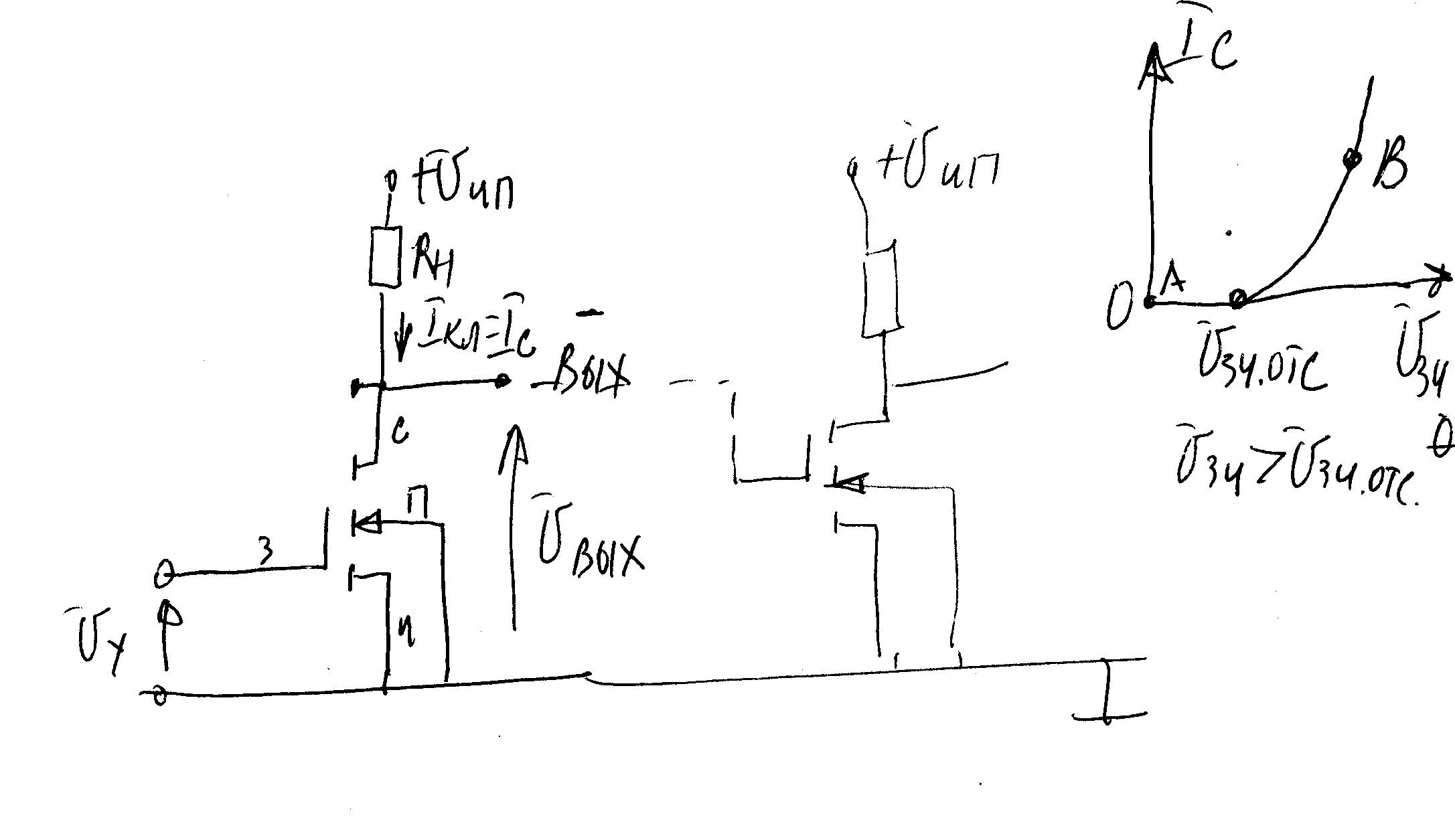
Для ключа рис. 2 нужно тоже иметь два источника питания «» для коммутируемой цепи и «» для размыкания ключа.

И только в схеме 3 размыкаем ключ нулевым напряжением , а закрываем большим отрицательным напряжением, например близким к «» следовательно для ключа рис. 3 достаточно одного источника питания.

Поэтому ключи на МОП транзисторах с индуцированным каналом получили преимущественное распространение.

Если ключ на рис. 3 соединить в последовательные цепочки, как указано на рис. 3, то получим состояние ключей: ЗАМ – РАЗ – ЗАМ – РАЗ.

На рис. 4 приведен двухтактный ключ на комплементарных (разнотипных) МОП транзисторах с индуцированным каналом реализующий функцию инвертора.



Докажем, что схема рис. 4 инвертна.

Предположим на вход Х поступает большое входное напряжение близкое к () (логическая единица) при этом транзистор VT1 в соответствии с проходной характеристикой рис. 3 будет замкнут, а транзистор VT2 разомкнут поскольку у него в соответствии с уравнением (1) тогда выход через замкнутый транзистор VT1 зашунтируется с общей шиной, на выходе нулевое напряжение, т.е. логический ноль.

Если напротив на вход подать малое напряжение близкое к нулю то аналогичным образом VT1 будет разомкнут, а VT2 замкнут. При этом выход зашунтируется (закоротится) с «» через замкнутый ключ VT2. Таким образом если на входе Х логический ноль, то на выходе Y логическая единица и наоборот, следовательно, схема 4 инвертна.